

SRAM IMC ohne die üblichen Nachteile

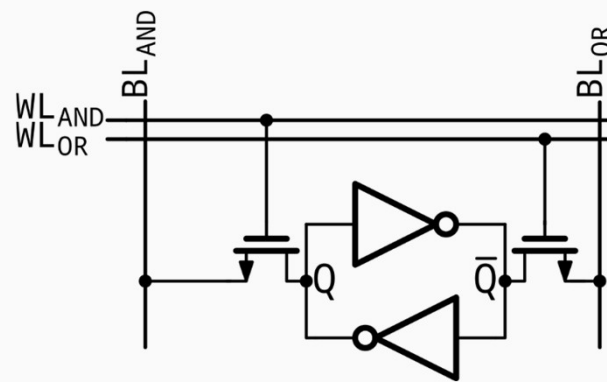
Performancegewinn, bei geringerem Area-Overhead und Stabilitätsvorteilen im Vergleich zu konventionellem SRAM-IMC

STATUS QUO

Boolesches SRAM In-Memory Computing (IMC) ist ein wichtiger Bestandteil aktueller Forschung, wie Hardware-basierte Neuronale Netze und Edge-Computing. In konventionellen Ansätzen werden zur Durchführung meist mehrere Zellen gleichzeitig über dieselben Bitleitungen evaluiert um die UND- sowie die ODERfunktion zu implementieren. Dies bringt jedoch Schwierigkeiten beim Erhalt des gespeicherten Werts während eines Lesevorgangs mit sich und sorgt aufgrund notwendiger Anpassungen für ein größeres Zelllayout.

UNSERE TECHNOLOGIE

Im Gegensatz zum konventionellen IMC werden bei unserer Implementierung die Booleschen Instruktionen während eines Schreibzugriffs durchgeführt. Hierfür wird ein externer Operand (Welcher auch zuvor aus dem SRAM gelesen werden kann) an die Bitleitungen angelegt und für die Und-Instruktion nur WL_{AND} aktiviert, bzw. für die Oder-Instruktion nur WL_{OR} . Für ein konventionelles Setzen werden beide Wortleitungen aktiviert. Nach der Instruktion ist das Ergebnis automatisch in der aktivierten SRAM Zelle gespeichert und muss daher nicht wie sonst üblich zurückgeschrieben werden.



VORTEILE

- Performancegewinn durch IMC
- Stabilitätsvorteile und Platzeinsparung im Vergleich zu konventionellen SRAM IMC
- Rückschreiben entfällt

ANWENDUNGSMÖGLICHKEITEN

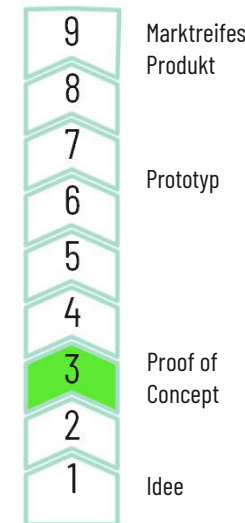
Wichtige Anwendungsgebiete liegen im Design datenintensiver Rechnerarchitekturen wie z.B.

- Hardwarebasierte Neuronale Netze in SRAM
- Hochparalleles Computing
- Aber auch als Smart-Cache konventioneller Rechnerarchitektur

UNSER ANGEBOT FÜR SIE

Die Zusammenarbeit kann von einem Austausch mit den Know-How-Trägern der Technologie bis hin zu einer engen Kooperation bei weiterem Entwicklungsbedarf reichen. Die Nutzung der schutzrechtlich gesicherten Technologie kann durch Verkauf oder Lizenzierung an das Unternehmen erfolgen.

DERZEITIGER ENTWICKLUNGSSTAND TECHNOLOGY READINESS LEVEL (TRL)



Die Entwicklung befindet sich auf Level 3:
Die neue SRAM Architektur wurde in Monte-Carlo Simulationen positiv evaluiert. Ein erster Testchip wird entwickelt.

ANSPRECHPARTNER



IP- und Innovationsmanagement
 +49 6151 16-57203
 innovation@tu-darmstadt.de



Prof. Dr.-Ing Klaus Hofmann
 Institut Integrierte Elektronische Systeme
 ☎ +49 6151 16-20266
 ✉ klaus.hofmann@ies.tu-darmstadt.de